

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2006 年 1 月 5 日 (05.01.2006)

PCT

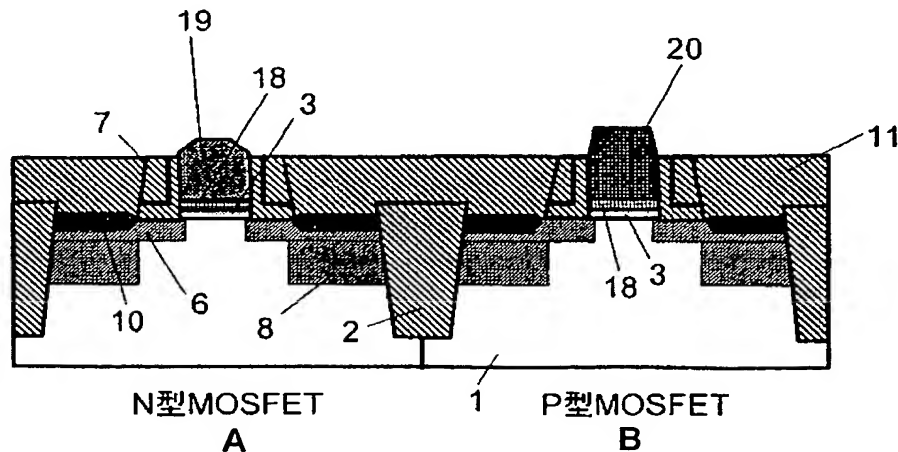
(10) 国際公開番号
WO 2006/001271 A1

- (51) 国際特許分類⁷: H01L 21/8238, 21/28, 27/092, 29/423, 29/49, 29/78
- (21) 国際出願番号: PCT/JP2005/011331
- (22) 国際出願日: 2005 年 6 月 21 日 (21.06.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-184758 2004 年 6 月 23 日 (23.06.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高橋 健介 (TAKAHASHI, Kensuke) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 間部 謙三 (MANABE, Kenzou) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 五十嵐 信行 (IKARASHI, Nobuyuki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 天野 広 (AMANO, Hiroshi); 〒1050014 東京都港区芝三丁目 4 0 番 4 号 シャイン三田ビル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(54) 発明の名称: 半導体装置及びその製造方法



A ... N TYPE MOSFET
B ... P TYPE MOSFET

(57) Abstract: There is provided a semiconductor device capable of improving the problem of the CMOS transistor threshold value control in the technique of combination of a high dielectric gate insulation film and a metal gate electrode and significantly improving the element characteristic without lowering the element reliability. The semiconductor device includes a gate insulation film using a high dielectric material and a gate electrode having a composition at the side in contact with the gate insulation film mainly containing silicide of metal M expressed by $MxSi_{1-x}$ ($0 < x < 1$), wherein the silicide of the metal M is $x > 0.5$ in the case of P type MOSFET and the silicide of the metal M is $x \leq 0.5$ in the case of N type MOSFET.

[続葉有]

WO 2006/001271 A1